

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-063548

(43)Date of publication of application : 26. 02. 2004

---

(51)Int. Cl. H01C 7/02

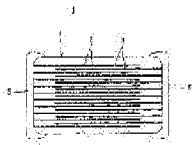
---

(21)Application number : 2002- (71)Applicant : MURATA MFG CO LTD  
216372

(22)Date of filing : 25. 07. 2002 (72)Inventor : NIIMI HIDEAKI  
ANDO AKIRA

---

(54) STACKED POSITIVE PROPERTY THERMISTER DESIGNING METHOD



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a stacked positive property thermister in which a lower resistance value can be surely realized with thinning of a ceramic layer comprising BaTiO<sub>3</sub> based semiconductor ceramic and besides a resistance value can be obtained which is nearly equal to those calculated from the stacked structure.

SOLUTION: The thickness of one layer of the ceramic layers 2 located between internal electrodes 3 is defined as X [ $\mu$ m] and a quantity of donors Y[%] contained in a BaTiO<sub>3</sub> based semiconductor ceramic making up the ceramic layers 2 is expressed as (the number of donor atoms/the number of Ti atoms)  $\times$  100. Then, the conditions  $5 \leq X \leq 20$  and  $4 \leq X \cdot Y \leq 10$  are satisfied.

---

LEGAL STATUS

[Date of request for examination] 21.06.2005

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of  
application other than the  
examiner's decision of rejection or  
application converted registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1]

It is the laminating mold positive thermistor equipped with the component body which has a laminated structure with the internal electrode which is formed respectively in accordance with two or more interfaces between the ceramic layer of the plurality which consists of a barium titanate system semi-conductor ceramic which shows a forward resistance temperature characteristic by which the laminating was carried out, and said ceramic layer, and contains nickel, When amount of donors Y [%] which sets to X [μm] thickness of one layer of said ceramic layer located between said internal electrodes, and is

contained in said barium titanate system semi-conductor ceramic is expressed with  $x$  (a donor atomic number / Ti atomic number) 100,  $5 \leq x \leq 20$  -- and

$4 \leq x - y \leq 10$

The laminating mold positive thermistor which fills \*\*\*\*\*.

[Claim 2]

It is the design approach of the laminating mold positive thermistor equipped with the component body which has a laminated structure with the internal electrode which consists of a barium titanate system semi-conductor ceramic which shows a forward resistance temperature characteristic, is formed respectively in accordance with two or more interfaces between two or more ceramic layers by which the laminating was carried out and said ceramic layers, and contains nickel,

The process which determines that thickness  $X$  [ $\mu\text{m}$ ] of said ceramic layer will fulfill the conditions of  $5 \leq x \leq 20$ ,

The process which determines that amount of donors  $Y$  [%] ( $Y = (\text{donor atomic number} / \text{Ti atomic number}) \times 100$ ) contained in said barium titanate system semi-conductor ceramic will fulfill the conditions of  $4 \leq x - y \leq 10$  according to thickness  $X$  of said ceramic layer

\*\*\*\*\*, the design approach of a laminating mold positive thermistor.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the laminating mold positive thermistor especially constituted using a barium titanate system semi-conductor ceramic, and its design approach about a laminating mold positive

thermistor and its design approach.

[0002]

[Description of the Prior Art]

Since a positive thermistor is constituted, the barium titanate (BaTiO<sub>3</sub>) system semi-conductor ceramic is used widely. The low resistance-ization is positively advanced for application expansion of such a positive thermistor. BaTiO<sub>3</sub> used in order to attain low resistance-ization The attempt which laminates a positive thermistor about a system semi-conductor ceramic in addition to development of the lower ingredient of specific resistance is also made.

[0003]

Drawing 1 is the sectional view showing a positive thermistor interesting for this invention. It was laminated by drawing 1, namely, the positive thermistor 1 of a laminating mold is shown in it.

[0004]

With reference to drawing 1, the laminating mold positive thermistor 1 is BaTiO<sub>3</sub> which shows a forward resistance temperature characteristic. It has the component body 4 which consists of a ceramic layer 2 of the plurality which consists of a system semi-conductor ceramic by which the laminating was carried out, and an internal electrode 3 formed respectively in accordance with two or more interfaces between the ceramic layers 2 and which has a laminated structure.

[0005]

Moreover, the external electrode 5 is formed in the both ends of the component body 4, respectively. That by which the internal electrode 3 mentioned above is electrically connected to one external electrode 5, and the thing electrically connected to the external electrode 5 of another side are arranged by turns about the direction of a laminating.

[0006]

In many cases, in the laminating mold positive thermistor 1 mentioned above, the internal electrode 3 contains nickel. While nickel is comparatively cheap, it is because ohmic nature can be given to the ceramic layer 2.

[0007]

Moreover, the external electrode 5 contains silver as an electric conduction component.

[0008]

The following processes are carried out in order to manufacture such a laminating mold positive thermistor 1.

[0009]

First, it should become the ceramic layer 2 and is BaTiO<sub>3</sub>. The ceramic

green sheet containing the ceramic raw material powder for a system semi-conductor ceramic is prepared.

[0010]

Next, the film which consists of a conductive paste containing the nickel used as an internal electrode 3 is formed of print processes etc. on a ceramic green sheet.

[0011]

Next, while accumulating two or more ceramic green sheets with which the conductive paste film was formed, the ceramic green sheet for protection with which the conductive paste film is not formed up and down is accumulated, these ceramic green sheet is stuck by pressure, and it is cut into a predetermined dimension after that if needed. The thing of the raw condition of the component body 4 is obtained by this.

[0012]

Next, the raw component body 4 is calcinated in the reducing atmosphere to which the nickel contained in the conductive paste film for the internal electrode 3 mentioned above does not oxidize. While the ceramic green sheet used as the ceramic layer 2 sinters by this, the conductive paste used as an internal electrode 3 is sintered.

[0013]

Next, since the external electrode 5 is formed, the conductive paste containing silver is given on the both ends of the component body 4 after sintering, and this can be burned into atmospheric air.

[0014]

An above-mentioned printing process serves as the reoxidation processing to the component body 4 after sintering, and a thermistor property is given to the ceramic layer 2 by this.

[0015]

Thus, the laminating mold positive thermistor 1 is obtained.

[0016]

[Problem(s) to be Solved by the Invention]

According to the laminating mold positive thermistor 1 which was mentioned above, by making the component body 4 into a laminated structure, the thickness per layer of the ceramic layer 2 becomes thin, and low resistance-ization is attained by it.

[0017]

However, even if it makes each thickness of the ceramic layer 2 thin conventionally, the problem that-izing cannot be carried out [ low \*\*\*\* ] as predicted may be encountered in fact.

[0018]

When are explained concretely, referring to drawing 1 and a flat-surface

dimension carries out the ten-layer laminating of the ceramic layer 2 with a thickness of 100 micrometers in the component body 4 which is 2.0mmx1.2mm, suppose that 2-ohm room temperature resistance was obtained. On the other hand, although thickness of the ceramic layer 2 is set to one fifth of 20 micrometers, and 0.08-ohm room temperature resistance should be obtained on count when [ 5 times as many as this ] a 50-layer laminating is carried out, only about 0.28ohms may be obtained in fact.  
[0019]

Moreover, the inclination which shifts from calculated value as mentioned above appears so notably that the thickness of the ceramic layer 2 becomes thin like 20 micrometers or less. Therefore, low resistance may not be formed even if it carries out lamination of the ceramic layer 2.

[0020]

Then, the purpose of this invention is offering the laminating mold positive thermistor which can carry out [ low \*\*\*\* ]-izing certainly in connection with the lamination of a ceramic layer, and can acquire the resistance near the resistance moreover calculated from a laminated structure.

[0021]

Other purposes of this invention are offering the design approach of the laminating mold positive thermistor which may fill the above requests.

[0022]

[Means for Solving the Problem]

In the baking process of the raw component body carried out in order that this artificer may manufacture a laminating mold positive thermistor The nickel contained in an internal electrode is spread to a ceramic layer [ near the internal electrode ], and this diffused nickel acts as an acceptor, The effect of diffusion of the nickel near the internal electrode becomes large, so that it will be carried out, if lamination of the ceramic layer is carried out. And the sake, By forming a ceramic layer into high resistance, it comes to make a header and this invention for low resistance-ization of a laminating mold positive thermistor being checked.

[0023]

In this invention, if it says simply, paying attention to the donor contained in the barium titanate system semi-conductor ceramic which constitutes a ceramic layer negating the operation as an acceptor of nickel, it is going to remove the factor which checks low resistance-ization by specifying this amount of donors in the predetermined range.

[0024]

It is first turned to the laminating mold positive thermistor equipped with the component body which has a laminated structure with the internal electrode which is formed respectively in accordance with two or more interfaces between the ceramic layer of the plurality which consists of a barium titanate system semi-conductor ceramic this invention indicates a forward resistance temperature characteristic to be to a detail more by which the laminating was carried out , and a ceramic layer , and contains nickel , and in order to solve the technical technical problem mentioned above , it is characterized by to have the following configurations .

[0025]

That is, thickness of one layer of the ceramic layer located between internal electrodes is set to  $X$  [ $\mu\text{m}$ ], and when amount of donors  $Y$  [%] contained in a barium titanate system semi-conductor ceramic is expressed with  $x$  (a donor atomic number / Ti atomic number) 100, it is characterized by fulfilling  $5 \leq X \leq 20$  and  $4 \leq Y$ , and the conditions of  $Y \leq 10$ .

[0026]

This invention is turned also to the design approach of the laminating mold positive thermistor equipped with the component body which has a laminated structure with the internal electrode which is formed respectively in accordance with two or more interfaces between the ceramic layer of the plurality which consists of a barium titanate system semi-conductor ceramic which shows a forward resistance temperature characteristic again by which the laminating was carried out, and a ceramic layer, and contains nickel.

[0027]

The design approach of the laminating mold positive thermistor concerning this invention is characterized by having the process which determines that thickness  $X$  [ $\mu\text{m}$ ] of a ceramic layer will fulfill the conditions of  $5 \leq X \leq 20$ , and the process which determines that amount  $Y$  of donors [%] ( $Y = \text{donor atomic number} / \text{Ti atomic number} \times 100$ ) contained in a barium titanate system semi-conductor ceramic will fulfill the conditions of  $4 \leq X - Y \leq 10$  according to thickness  $X$  of a ceramic layer.

[0028]

[Embodiment of the Invention]

In order to explain this invention according to that operation gestalt, drawing 1 mentioned above is referred to again. That is, drawing 1 is also drawing showing the laminating mold positive thermistor 1 by 1 operation gestalt of this invention. Therefore, since the explanation about the structure and the manufacture approach of the laminating mold

positive thermistor 1 which were mentioned above with reference to drawing 1 can be fundamentally used in explanation of the operation gestalt of this invention, the overlapping explanation is omitted.

[0029]

With reference to drawing 1, first, this invention is applied, when thickness  $X$  of one layer of the ceramic layer 2 [ $\mu\text{m}$ ] fulfills the conditions of  $5 \leq X \leq 20$ . That is, it is applied when thickness  $X$  of one layer of the ceramic layer 2 is 5 micrometers or more and 20 micrometers or less.

[0030]

BaTiO<sub>3</sub> which constitutes the ceramic layer 2 in the above laminating mold positive thermistors 1 When amount of donors  $Y$  [%] contained in a system semi-conductor ceramic is expressed with  $x$  (a donor atomic number / Ti atomic number) 100, the conditions of  $4 \leq X-Y \leq 10$  are fulfilled. It is made to increase the amount  $Y$  of donors as thickness  $X$  of the ceramic layer 2 will be made thin, if it says simply.

[0031]

The conditions of  $4 \leq X-Y \leq 10$  mentioned above are searched for based on the result obtained by the example of an experiment mentioned later. When the operation as an acceptor of the nickel diffused in the ceramic layer by making [ many ] the amount  $Y$  of donors can be negated effectively and thickness  $X$  of the ceramic layer 2 is made thin at 20 micrometers or less so that this example of an experiment may show, and the conditions of  $4 \leq X-Y \leq 10$  may be fulfilled, the problem of low-being [ resistance ] hard coming-izing can be solved.

[0032]

In addition, if it separates from the conditions of  $4 \leq X-Y \leq 10$  and the amount  $Y$  of donors becomes superfluous, the property that a thermistor property, i.e., resistance, has a positive temperature coefficient in the ceramic layer 2 will fall. On the other hand, if there are few amounts  $Y$  of donors than the conditions of  $4 \leq X-Y \leq 10$ , the operation as an acceptor of nickel cannot fully be negated, but low resistance-ization will become difficult.

[0033]

In addition, BaTiO<sub>3</sub> As a donor contained in a system semi-conductor ceramic, there are pentads, such as rare earth elements, such as La and Sm, or Nb, Sb, etc., for example.

[0034]

Next, the example of an experiment carried out in order to ask for the range of this invention is explained.

[0035]



In addition, in this example of an experiment, the laminating mold positive thermistor equipped with the external electrode which consists of a inner layer containing nickel and an outer layer containing Ag was produced.

[0036]

first,  $\text{BaCO}_3$  and  $\text{TiO}_2$  --  $\langle \text{SUB} \rangle$  and  $\text{Sm}_2\text{O}_3$   $\text{BaTiO}_3$  which has the various amounts Y of donors by using each powder as a start raw material in order to obtain a system semi-conductor ceramic --  $\text{TiO}(\text{Ba}_{1-Z}\text{Sm}_Z)_3$  "Z" which can be set had the mixing ratio which is different in versatility as shown in Table 1, and prepared the start raw material mentioned above.

[0037]

Amount of donors Y [%] expressed with  $x(\text{Sm atomic number} / \text{Ti atomic number})$  100 corresponding to above-mentioned "Z" is shown by Table 1.

[0038]

Next, pure water was added to the start raw material powder concerning each sample prepared as mentioned above, preferential grinding processing was carried out to it with the zirconia ball for 5 hours, and temporary quenching of each start raw material powder was carried out to it at the temperature of 1150 degrees C after the desiccation process for 2 hours.

[0039]

Next, the ceramic green sheet was obtained by adding an organic binder, a dispersant, and water to the obtained temporary-quenching powder, and fabricating the slurry obtained by carrying out mixed processing with a zirconia ball for several hours in the shape of a sheet. In this process, the thing of various thickness was produced so that thickness X after baking might serve as a value shown in Table 1 as a ceramic green sheet.

[0040]

Next, on the ceramic green sheet, the conductive paste containing nickel was given by print processes, and the conductive paste film used as an internal electrode was formed.

[0041]

Next, while accumulating two or more ceramic green sheets so that the conductive paste film might counter mutually through a ceramic green sheet, the ceramic green sheet for protection with which the conductive paste film which serves as an internal electrode up and down is not formed was accumulated, and these were stuck by pressure, and subsequently, it cut so that it might be set to 2.0mmx1.25mm with the dimension after baking, and the raw component body was acquired.

[0042]

In the process which acquires an above-mentioned raw component body,

about all the samples shown in Table 1, according to the thickness of the ceramic green sheet used in each sample, the number of laminatings was changed so that the thickness after baking might be set to 1.2mm.

[0043]

Next, the conductive paste containing nickel was given and dried on the both ends of a raw component body.

[0044]

Next, the raw component body was calcinated at the temperature of 1200 degrees C under the reducing atmosphere of  $H_2 / 2 = 3\%$  of N. The conductive paste which the ceramic green sheet and the conductive paste film which constitute a raw component body sintered, and the component body after sintering which consists of a ceramic layer and an internal electrode was acquired by this, and was given on the both ends of a raw component body sintered, and the inner layer after sintering for an external electrode was obtained.

[0045]

Next, on the inner layer for the external electrode formed on the both ends of the component body after sintering, the conductive paste containing silver was given, it was made to dry and this was able to be burned at the temperature of 700 degrees C into atmospheric air. The outer layer for an external electrode was obtained by this. Moreover, reoxidation processing of the ceramic layer was carried out, and the thermistor property was given to the ceramic layer at coincidence.

[0046]

Thus, about the laminating mold positive thermistor concerning each obtained sample, as shown in Table 1, room temperature resistance and a thermistor property were measured by 4 terminal method, respectively.

[0047]

In addition, the ratio to the calculated value of the room temperature resistance to everything but room temperature resistance and the calculated value of room temperature resistance is also shown in Table 1. Calculated value is  $BaTiO_3$  of each sample shown in Table 1. The value acquired from the resistivity at the time of carrying out the laminating of the ceramic layer as a layer thick enough like the thickness of 100 micrometers with the presentation of a system semi-conductor ceramic when it is made the thickness in each sample is calculated by count.

[0048]

Moreover, the thermistor property shown in Table 1 is the resistance R250 measured under the temperature of 250 degrees C. The ratio R250 with the resistance R25 measured under the temperature of 25 degrees C / R25 is calculated, and it asks for a ratio  $R250 / \text{digit count of } R25$

from the logarithm  $\log (R_{250} / R_{25})$ .

[0049]

[Table 1]

試料 番号	Z	Y [%]	厚みX [ $\mu$ m]	X・Y	室温抵抗値 [ $\Omega$ ]	計算値 [ $\Omega$ ]	計算値との比 [ $\Omega$ ]	サースタ特性 $\log(R_{250}/R_{25})$
* 1	0.0015	0.15	20	3	1.2	0.22	5.5	3.3桁
2	0.002	0.2	20	4	0.35	0.16	2.2	3.2桁
3	0.005	0.5	20	10	0.24	0.13	1.8	3.2桁
* 4	0.006	0.6	20	12	0.39	0.18	2.2	2.7桁
* 5	0.003	0.3	10	3	0.38	0.035	11	3.1桁
6	0.003	0.3	15	4.5	0.20	0.075	2.7	3.2桁
* 7	0.003	0.3	25	7.5	0.68	0.33	2.1	3.2桁
* 8	0.0024	0.24	25	6	0.86	0.38	2.3	3.2桁
9	0.003	0.3	20	6	0.22	0.096	2.3	3.2桁
10	0.004	0.4	15	6	0.18	0.085	2.1	3.2桁
11	0.006	0.6	10	6	0.12	0.043	2.8	3.1桁
12	0.012	1.2	5	6	0.025	0.011	2.3	3.0桁
* 13	0.020	2.0	3	6	0.011	0.004	2.8	2.2桁
* 14	0.002	0.2	30	6	0.87	0.38	2.3	3.3桁
15	0.002	0.2	20	4	0.35	0.16	2.2	3.2桁
* 16	0.002	0.2	15	3	0.36	0.10	3.6	3.1桁
* 17	0.002	0.2	10	2	0.30	0.042	7.1	3.1桁

[0050]

In Table 1, this invention of what gave \* to the sample number is out of range.

[0051]

In Table 1, room temperature resistance is 0.5ohms or less, a ratio with calculated value is smaller than 3.0, and the thermistor property makes the thing of 3.0 or more figures further the sample of this invention within the limits.

[0052]

Although room temperature resistance shows the value higher than calculated value from the result shown in Table 1 even if it is which sample, according to the sample which is within the limits of this invention, it turns out that it has a near value with calculated value, and-izing can be carried out [ low \*\*\*\* ] by lamination.

[0053]

Moreover, if it compares among samples 14-17, as for these, Z Y of donors, i.e., the amount, is mutually the same, but if attached to thickness X, in the sample 14, lamination is carried out [ 20 micrometers and a sample 16 ] more in the sequence of samples 14-17 like 10 micrometers by 15 micrometers and the sample 17 by 30 micrometers and the sample 15. In such a case, it sets, and like after a sample 15, a ratio with calculated value becomes larger and there is an inclination for room temperature resistance to shift from calculated value more greatly, so that thickness X becomes thinner, when thickness X is set to 20 micrometers or less.

[0054]

On the other hand, like samples 9-12, if Z Y of donors, i.e., the amount, is increased, in connection with lamination, it will become possible to form low resistance favorably, keeping a ratio with calculated value comparatively low.

[0055]

In addition, although a ratio with calculated value can be made small if thickness X exceeds 20 micrometers, for example like samples 7, 8, and 14, the room temperature resistance itself is set to 0.5ohms or more, and there is a problem that sufficient reduction in resistance is impossible. Moreover, if thickness X is set to less than 5 micrometers, a good thermistor property will no longer be acquired, for example like a sample 13 also considering the value of X-Y as within the limits of  $4 \leq X-Y \leq 10$ .

[0056]

When thickness  $X$  of one layer of a ceramic layer [mum] is set to  $5 \leq X \leq 20$  from the result of the example of an experiment explained above, BaTiO<sub>3</sub> which constitutes a ceramic layer If amount of donors  $Y$  [%] contained in a system semi-conductor ceramic fulfills the conditions of  $4 \leq X - Y \leq 10$  It turns out that -izing can be certainly carried out [ low \*\*\*\* ] in connection with the lamination of a ceramic layer, and the resistance near the resistance moreover calculated from a laminated structure can be acquired.

[0057]

Therefore, the above conditions can be used also when designing a laminating mold positive thermistor.

[0058]

Namely, BaTiO<sub>3</sub> which constitutes a ceramic layer if thickness  $X$  [mum] of a ceramic layer is determined in this design approach in the range which fulfills the conditions of  $5 \leq X \leq 20$  What is necessary is just to determine that the amount of donors [%] contained in a system semi-conductor ceramic will fulfill  $4 \leq X$  and the conditions of  $Y \leq 10$  according to thickness  $X$  of a ceramic layer.

[0059]

[Effect of the Invention]

As mentioned above, according to the laminating mold positive thermistor concerning this invention, according to the laminating mold positive thermistor manufactured according to the design approach concerning this invention, in connection with the lamination of a ceramic layer, -izing can be carried out [ low \*\*\*\* ] certainly, and the resistance near the resistance moreover calculated from a laminated structure can be acquired.

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the laminating mold positive thermistor 1 interesting for this invention.

[Description of Notations]

- 1 Laminating Mold Positive Thermistor
- 2 Ceramic Layer
- 3 Internal Electrode
- 4 Component Body

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the laminating mold positive thermistor 1 interesting for this invention.

[Description of Notations]

- 1 Laminating Mold Positive Thermistor
- 2 Ceramic Layer
- 3 Internal Electrode
- 4 Component Body

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

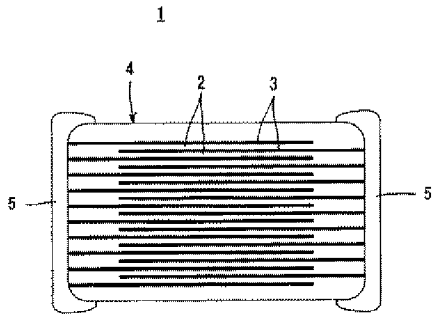
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

#### DRAWINGS

---

[Drawing 1]



---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

WRITTEN AMENDMENT

---

[Procedure revision]

[Filing Date] October 30, Heisei 15 (2003. 10. 30)

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[The contents of amendment]

[Claim(s)]

[Claim 1]

It is the design approach of the laminating mold positive thermistor equipped with the component body which has a laminated structure with the internal electrode which consists of a barium titanate system semiconductor ceramic which shows a forward resistance temperature characteristic, is formed respectively in accordance with two or more

interfaces between two or more ceramic layers by which the laminating was carried out and said ceramic layers, and contains nickel,  
The process which determines that thickness  $X$  [mum] of said ceramic layer will fulfill the conditions of  $5 \leq X \leq 20$ ,  
The process which determines that amount of donors  $Y$  [%] ( $Y = (\text{donor atomic number} / \text{Ti atomic number}) \times 100$ ) contained in said barium titanate system semi-conductor ceramic will fulfill the conditions of  $4 \leq X - Y \leq 10$  according to thickness  $X$  of said ceramic layer  
\*\*\*\*\*, the design approach of a laminating mold positive thermistor.

[Procedure amendment 3]

[Document to be Amended] Specification

[Item(s) to be Amended] 0001

[Method of Amendment] Modification

[The contents of amendment]

[0001]

[Field of the Invention]

This invention relates to the design approach of the laminating mold positive thermistor especially constituted using a barium titanate system semi-conductor ceramic about the design approach of a laminating mold positive thermistor.

[Procedure amendment 4]

[Document to be Amended] Specification

[Item(s) to be Amended] 0020

[Method of Amendment] Modification

[The contents of amendment]

[0020]

Then, the purpose of this invention is offering the design approach of a laminating mold positive thermistor-izing's being certainly carried out [ low \*\*\*\* ] in connection with the lamination of a ceramic layer, and the resistance near the resistance moreover calculated from a laminated structure being acquired.

[Procedure amendment 5]

[Document to be Amended] Specification

[Item(s) to be Amended] 0021

[Method of Amendment] Deletion

[The contents of amendment]

[Procedure amendment 6]

[Document to be Amended] Specification

[Item(s) to be Amended] 0024

[Method of Amendment] Deletion



[The contents of amendment]

[Procedure amendment 7]

[Document to be Amended] Specification

[Item(s) to be Amended] 0025

[Method of Amendment] Deletion

[The contents of amendment]

[Procedure amendment 8]

[Document to be Amended] Specification

[Item(s) to be Amended] 0026

[Method of Amendment] Modification

[The contents of amendment]

[0026]

This invention is turn to the design approach of the laminating mold positive thermistor equipped with the component body which has a laminated structure with the internal electrode which is form respectively in accordance with two or more interfaces between the ceramic layer of the plurality which consists of a barium titanate system semi-conductor ceramic which shows a forward resistance temperature characteristic by which the laminating was carried out , and a ceramic layer , and contains nickel , and it is characterize by to have the following configurations in order to solve the technical technical problem mentioned above .

[Procedure amendment 9]

[Document to be Amended] Specification

[Item(s) to be Amended] 0049

[Method of Amendment] Modification

[The contents of amendment]

[0049]

[Table 1]

試料 番号	Z	Y [%]	厚みX [μm]	X・Y	室温抵抗値 [Ω]	計算値 [Ω]	計算値との比	サミタ特性 $\log(R_{250}/R_{25})$
* 1	0.0015	0.15	20	3	1.2	0.22	5.5	3.3桁
2	0.002	0.2	20	4	0.35	0.16	2.2	3.2桁
3	0.005	0.5	20	10	0.24	0.13	1.8	3.2桁
* 4	0.006	0.6	20	12	0.39	0.18	2.2	2.7桁
* 5	0.003	0.3	10	3	0.38	0.035	11	3.1桁
6	0.003	0.3	15	4.5	0.20	0.075	2.7	3.2桁
* 7	0.003	0.3	25	7.5	0.68	0.33	2.1	3.2桁
* 8	0.0024	0.24	25	6	0.86	0.38	2.3	3.2桁
9	0.003	0.3	20	6	0.22	0.096	2.3	3.2桁
10	0.004	0.4	15	6	0.18	0.085	2.1	3.2桁
11	0.006	0.6	10	6	0.12	0.043	2.8	3.1桁
12	0.012	1.2	5	6	0.025	0.011	2.3	3.0桁
* 13	0.020	2.0	3	6	0.011	0.004	2.8	2.2桁
* 14	0.002	0.2	30	6	0.87	0.38	2.3	3.3桁
15	0.002	0.2	20	4	0.35	0.16	2.2	3.2桁
* 16	0.002	0.2	15	3	0.36	0.10	3.6	3.1桁
* 17	0.002	0.2	10	2	0.30	0.042	7.1	3.1桁

[Document to be Amended] Specification

[Item(s) to be Amended] 0059

[Method of Amendment] Modification

[The contents of amendment]

[0059]

[Effect of the Invention]

As mentioned above, according to the laminating mold positive thermistor manufactured according to the design approach concerning this invention, in connection with the lamination of a ceramic layer, -izing can be carried out [ low \*\*\*\* ] certainly, and the resistance near the resistance moreover calculated from a laminated structure can be acquired.

---

[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-63548

(P2004-63548A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int.Cl.<sup>7</sup>

H01C 7/02

F1

H01C 7/02

テーマコード(参考)

5E034

審査請求 未請求 請求項の数 1 O L (全 11 頁)

(21) 出願番号 特願2002-216372 (P2002-216372)  
 (22) 出願日 平成14年7月25日(2002.7.25)

(71) 出願人 000006231  
 株式会社村田製作所  
 京都府長岡京市天神二丁目26番10号  
 (74) 代理人 100085143  
 弁理士 小柴 雅昭  
 (72) 発明者 新見 秀明  
 京都府長岡京市天神二丁目26番10号  
 株式会社村田製作所内  
 (72) 発明者 安藤 陽  
 京都府長岡京市天神二丁目26番10号  
 株式会社村田製作所内  
 Fターム(参考) 5E034 AB01 AC02 DA07 DC05 DE20

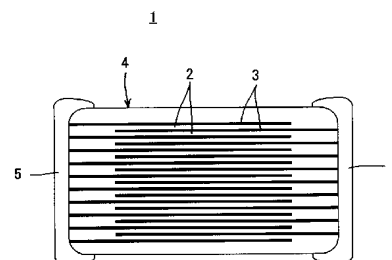
(54) 【発明の名称】 積層型正特性サーミスタの設計方法

## (57) 【要約】

【課題】  $\text{BaTiO}_3$  系半導体セラミックからなるセラミック層の薄層化に伴い確実に低抵抗化でき、しかも積層構造から計算される抵抗値に近い抵抗値を得ることができる、積層型正特性サーミスタを提供する。

【解決手段】 内部電極8間に位置するセラミック層2の1層の厚みを  $X[\mu\text{m}]$  とし、セラミック層2を構成する  $\text{BaTiO}_3$  系半導体セラミックに含まれるドナー量  $Y[\%]$  を  $(\text{ドナー原子数}/\text{Ti原子数}) \times 100$  で表わしたとき、 $5 \leq X \leq 20$ 、かつ  $4 \leq X \cdot Y \leq 10$  の条件を満たすようにする。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

正の抵抗温度特性を示すチタン酸バリウム系半導体セラミックからなる複数の積層されたセラミック層と、前記セラミック層間の複数の界面にそれぞれ沿って形成されかつニッケルを含む内部電極との積層構造を有する素子本体を備えた、積層型正特性サーミスタであって、

前記内部電極間に位置する前記セラミック層の 1 層の厚みを  $X [\mu m]$  とし、前記チタン酸バリウム系半導体セラミックに含まれるドナー量  $Y [\%]$  を  $(\text{ドナー原子数} / \text{Ti 原子数}) \times 100$  で表わしたとき、

$5 \leq X \leq 20$ 、かつ

$4 \leq X \cdot Y \leq 10$

の条件を満たす、積層型正特性サーミスタ。

## 【請求項 2】

正の抵抗温度特性を示すチタン酸バリウム系半導体セラミックからなりかつ複数の積層されたセラミック層と、前記セラミック層間の複数の界面にそれぞれ沿って形成されかつニッケルを含む内部電極との積層構造を有する素子本体を備えた、積層型正特性サーミスタの設計方法であって、

前記セラミック層の厚み  $X [\mu m]$  を、 $5 \leq X \leq 20$  の条件を満たすように決定する工程と、

前記チタン酸バリウム系半導体セラミックに含まれるドナー量  $Y [\%]$  ( $Y = (\text{ドナー原子数} / \text{Ti 原子数}) \times 100$ ) を前記セラミック層の厚み  $X$  に応じて  $4 \leq X \cdot Y \leq 10$  の条件を満たすように決定する工程と

を備える、積層型正特性サーミスタの設計方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、積層型正特性サーミスタおよびその設計方法に関するもので、特に、チタン酸バリウム系半導体セラミックを用いて構成される積層型正特性サーミスタおよびその設計方法に関するものである。

## 【0002】

## 【従来の技術】

チタン酸バリウム ( $\text{BaTiO}_3$ ) 系半導体セラミックは、正特性サーミスタを構成するために広く用いられている。このような正特性サーミスタの用途拡大のため、その低抵抗化が積極的に進められている。低抵抗化を図るため、用いられる  $\text{BaTiO}_3$  系半導体セラミックについて、比抵抗のより低い材料の開発に加えて、正特性サーミスタを積層化する試みもなされている。

## 【0003】

図 1 は、この発明にとって興味ある正特性サーミスタを示す断面図である。図 1 には、積層化された、すなわち積層型の正特性サーミスタ 1 が示されている。

## 【0004】

図 1 を参照して、積層型正特性サーミスタ 1 は、正の抵抗温度特性を示す  $\text{BaTiO}_3$  系半導体セラミックからなる複数の積層されたセラミック層 2 と、セラミック層 2 間の複数の界面にそれぞれ沿って形成された内部電極 3 とからなる、積層構造を有する素子本体 4 を備えている。

## 【0005】

また、素子本体 4 の両端部には、外部電極 5 がそれぞれ形成されている。上述した内部電極 3 は、一方の外部電極 5 に電氣的に接続されるものと他方の外部電極 5 に電氣的に接続されるものが積層方向に関して交互に配列されている。

## 【0006】

上述した積層型正特性サーミスタ 1 において、内部電極 3 は、多くの場合、ニッケルを含

10

20

30

40

50

んでいる。なぜなら、ニッケルは比較的安価であるとともに、セラミック層2に対してオーミック性を与えることができるからである。

【0007】

また、外部電極5は、たとえば銀を導電成分として含んでいる。

【0008】

このような積層型正特性サーミスタ1を製造するため、次のような工程が実施される。

【0009】

まず、セラミック層2となるべきものであって、 $\text{BaTiO}_3$ 系半導体セラミックのためのセラミック原料粉末を含むセラミックグリーンシートが用意される。

【0010】

次に、セラミックグリーンシート上に、内部電極3となるニッケルを含む導電性ペーストからなる膜が印刷法等によって形成される。

【0011】

次に、導電性ペースト膜が形成された複数のセラミックグリーンシートを積み重ねるとともに、その上下に、導電性ペースト膜が形成されていない保護用のセラミックグリーンシートを積み重ね、これらセラミックグリーンシートを圧着し、その後、必要に応じて、所定の寸法にカットされる。これによって、素子本体4の生の状態のものが得られる。

【0012】

次に、上述した内部電極3のための導電性ペースト膜に含まれるニッケルが酸化されない還元性雰囲気中で、生の素子本体4が焼成される。これによって、セラミック層2となるセラミックグリーンシートが焼結するとともに、内部電極3となる導電性ペーストが焼結される。

【0013】

次に、外部電極5を形成するため、焼結後の素子本体4の両端部上に、たとえば銀を含む導電性ペーストが付与され、大気中において、これが焼き付けられる。

【0014】

上述の焼付け工程は、焼結後の素子本体4に対する再酸化処理を兼ねるもので、これによって、セラミック層2にサーミスタ特性が与えられる。

【0015】

このようにして、積層型正特性サーミスタ1が得られる。

【0016】

【発明が解決しようとする課題】

上述したような積層型正特性サーミスタ1によれば、素子本体4を積層構造とすることにより、セラミック層2の1層あたりの厚みが薄くなり、それによって、低抵抗化が図られる。

【0017】

しかしながら、従来、セラミック層2の各々の厚みを薄くしても、実際には、計算どおりに低抵抗化できないという問題に遭遇することがある。

【0018】

図1を参照しながら具体的に説明すると、平面寸法が $2.0\text{ mm} \times 1.2\text{ mm}$ の素子本体4において、厚み $100\text{ }\mu\text{m}$ のセラミック層2を10層積層した場合に、 $2\text{ }\Omega$ の室温抵抗が得られたとする。これに対して、セラミック層2の厚みを $1/5$ の $20\text{ }\mu\text{m}$ とし、5倍の50層積層した場合、計算上では、 $0.08\text{ }\Omega$ の室温抵抗が得られるはずであるが、実際には、 $0.28\text{ }\Omega$ 程度しか得られないことがある。

【0019】

また、上述のように計算値からずれる傾向は、セラミック層2の厚みが $20\text{ }\mu\text{m}$ 以下というように薄くなるほど顕著に現れる。そのため、セラミック層2を薄層化しても、低抵抗化されないことさえある。

【0020】

そこで、この発明の目的は、セラミック層の薄層化に伴い確実に低抵抗化でき、しかも積

10

20

30

40

50

層構造から計算される抵抗値に近い抵抗値を得ることができ、積層型正特性サーミスタを提供しようとするものである。

【0021】

この発明の他の目的は、上述のような要望を満たし得る、積層型正特性サーミスタの設計方法を提供しようとするものである。

【0022】

【課題を解決するための手段】

本件発明者は、積層型正特性サーミスタを製造するために実施される生の素子本体の焼成工程において、内部電極に含まれるニッケルが、内部電極の近傍においてセラミック層へと拡散し、この拡散したニッケルがアクセプターとして作用すること、ならびに、セラミック層が薄層化されればされるほど、内部電極近傍でのニッケルの拡散の影響が大きくなり、そのため、セラミック層が高抵抗化されることによって、積層型正特性サーミスタの低抵抗化が阻害されることを見出し、この発明をなすに至ったものである。

【0023】

この発明では、簡単に言えば、セラミック層を構成するチタン酸バリウム系半導体セラミックに含まれるドナーがニッケルのアクセプターとしての作用を打ち消すことに着目して、このドナー量を所定の範囲に規定することにより、低抵抗化を阻害する要因を取り除くとしている。

【0024】

より詳細には、この発明は、正の抵抗温度特性を示すチタン酸バリウム系半導体セラミックからなる複数の積層されたセラミック層と、セラミック層間の複数の界面にそれぞれ沿って形成されかつニッケルを含む内部電極との積層構造を有する素子本体を備えた、積層型正特性サーミスタにまず向けられるものであって、上述した技術的課題を解決するため、次のような構成を備えることを特徴としている。

【0025】

すなわち、内部電極間に位置するセラミック層の1層の厚みを $X[\mu\text{m}]$ とし、チタン酸バリウム系半導体セラミックに含まれるドナー量 $Y[\%]$ を $(\text{ドナー原子数} / \text{Ti原子数}) \times 100$ で表わしたとき、 $5 \leq X \leq 20$ 、かつ $4 \leq X \cdot Y \leq 10$ の条件を満たすことを特徴としている。

【0026】

この発明は、また、正の抵抗温度特性を示すチタン酸バリウム系半導体セラミックからなる複数の積層されたセラミック層と、セラミック層間の複数の界面にそれぞれ沿って形成されかつニッケルを含む内部電極との積層構造を有する素子本体を備えた、積層型正特性サーミスタの設計方法にも向けられる。

【0027】

この発明に係る積層型正特性サーミスタの設計方法は、セラミック層の厚み $X[\mu\text{m}]$ を、 $5 \leq X \leq 20$ の条件を満たすように決定する工程と、チタン酸バリウム系半導体セラミックに含まれるドナー量 $Y[\%]$  ( $Y = \text{ドナー原子数} / \text{Ti原子数} \times 100$ ) をセラミック層の厚み $X$ に応じて $4 \leq X \cdot Y \leq 10$ の条件を満たすように決定する工程とを備えることを特徴としている。

【0028】

【発明の実施の形態】

この発明を、その実施形態に従って説明するため、前述した図1を再び参照する。すなわち、図1は、この発明の一実施形態による積層型正特性サーミスタ1を示す図でもある。したがって、図1を参照して前述した積層型正特性サーミスタ1の構造および製造方法に関する説明は、基本的には、この発明の実施形態の説明において援用することができるので、重複する説明は省略する。

【0029】

図1を参照して、この発明は、まず、セラミック層2の1層の厚み $X[\mu\text{m}]$ が $5 \leq X \leq 20$ の条件を満たす場合に適用される。すなわち、セラミック層2の1層の厚み $X$ が $5 \mu$

10

20

30

40

50

m以上かつ20  $\mu$ m以下の場合に適用される。

【0030】

上述のような積層型正特性サーミスタ1において、セラミック層2を構成するBaTiO<sub>3</sub>系半導体セラミックに含まれるドナー量Y[%]を(ドナー原子数/Ti原子数)×100で表わしたとき、 $4 \leq X \cdot Y \leq 10$ の条件を満たすようにされる。簡単に言えば、セラミック層2の厚みXを薄くするに従って、ドナー量Yを増すようにされる。

【0031】

上述した $4 \leq X \cdot Y \leq 10$ の条件は、後述する実験例によって得られた結果に基づいて求められたものである。この実験例からわかるように、 $4 \leq X \cdot Y \leq 10$ の条件を満たすように、ドナー量Yを多めとすることによって、セラミック層に拡散したニッケルのアクセプターとしての作用を効果的に打ち消すことができ、セラミック層2の厚みXを20  $\mu$ m以下に薄くした場合に低抵抗化しにくくなるという問題を解決することができる。

10

【0032】

なお、 $4 \leq X \cdot Y \leq 10$ の条件を外れて、ドナー量Yが過剰になると、セラミック層2においてサーミスタ特性すなわち抵抗が正の温度係数を持つという特性が低下してしまう。他方、ドナー量Yが $4 \leq X \cdot Y \leq 10$ の条件より少ないと、ニッケルのアクセプターとしての作用を十分に打ち消すことができず、低抵抗化が困難になる。

【0033】

なお、BaTiO<sub>3</sub>系半導体セラミックに含まれるドナーとしては、たとえば、La、Smなどの希土類元素、あるいはNb、Sbなどの5価元素などがある。

20

【0034】

次に、この発明の範囲を求めるために実施した実験例について説明する。

【0035】

なお、この実験例では、Niを含む内層とAgを含む外層とからなる外部電極を備える積層型正特性サーミスタを作製した。

【0036】

まず、BaCO<sub>3</sub>、TiO<sub>2</sub>およびSm<sub>2</sub>O<sub>3</sub>の各粉末を出発原料として、種々のドナー量Yを有するBaTiO<sub>3</sub>系半導体セラミックを得るため、(Ba<sub>1-x</sub>Sm<sub>x</sub>)TiO<sub>3</sub>における「x」が、表1に示すように種々に異なる調合比をもって、上述した出発原料を調合した。

30

【0037】

表1では、上述の「x」に対応する、(Sm原子数/Ti原子数)×100で表わされるドナー量Y[%]も示されている。

【0038】

次に、上述のように調合された各試料に係る出発原料粉末に、純水を加えて、ジルコニアボールとともに5時間混合粉碎処理を実施し、乾燥工程の後、各出発原料粉末を1150℃の温度で2時間仮焼した。

【0039】

次に、得られた仮焼粉に、有機バインダ、分散剤および水を加えて、ジルコニアボールとともに数時間混合処理を実施し、得られたスラリーをシート状に成形することによって、セラミックグリーンシートを得た。この工程において、セラミックグリーンシートとして、焼成後の厚みXが表1に示す値となるように、種々の厚みのものを作製した。

40

【0040】

次に、セラミックグリーンシート上に、印刷法によって、ニッケルを含む導電性ペーストを付与し、内部電極となる導電性ペースト膜を形成した。

【0041】

次に、導電性ペースト膜がセラミックグリーンシートを介して互いに対向するように、複数のセラミックグリーンシートを積み重ねるとともに、その上下に、内部電極となる導電性ペースト膜が形成されていない保護用のセラミックグリーンシートを積み重ね、これらを圧着し、次いで、焼成後の寸法で2.0mm×1.25mmとなるようにカットして、

50



生の素子本体を得た。

【0042】

上述の生の素子本体を得る工程において、表1に示したすべての試料について、焼成後の厚みが1.2mmとなるように、各試料において用いられたセラミックグリーンシートの厚みに応じて積層数を変更した。

【0043】

次に、生の素子本体の両端部上に、ニッケルを含む導電性ペーストを付与し、乾燥させた。

【0044】

次に、生の素子本体を、 $H_2 / N_2 = 8\%$ の還元性雰囲気下において1200℃の温度で焼成した。これによって、生の素子本体を構成するセラミックグリーンシートおよび導電性ペースト膜が焼結し、セラミック層および内部電極からなる焼結後の素子本体が得られ、また、生の素子本体の両端部上に付与された導電性ペーストが焼結し、外部電極のための焼結後の内層が得られた。

【0045】

次に、焼結後の素子本体の両端部上に形成された外部電極のための内層上に、銀を含む導電性ペーストを付与し、乾燥させ、大気中において700℃の温度でこれを焼き付けた。これによって、外部電極のための外層が得られた。また、同時に、セラミック層が再酸化処理され、サーミスタ特性がセラミック層に与えられた。

【0046】

このようにして得られた各試料に係る積層型正特性サーミスタについて、表1に示すように、室温抵抗値およびサーミスタ特性を4端子法によってそれぞれ測定した。

【0047】

なお、表1には、室温抵抗値のほかに、室温抵抗の計算値および室温抵抗値の計算値に対する比も示されている。計算値は、表1に示した各試料の $BaTiO_3$ 系半導体セラミックの組成をもってセラミック層を厚み100μmというように十分に厚い層として積層した場合の比抵抗値から、各試料における厚みにした場合に得られる値を計算によって求めたものである。

【0048】

また、表1に示したサーミスタ特性は、250℃の温度下で測定した抵抗値 $R_{250}$ と25℃の温度下で測定した抵抗値 $R_{25}$ との比率 $R_{250} / R_{25}$ を求め、その対数 $10 \lg (R_{250} / R_{25})$ から、比率 $R_{250} / R_{25}$ の桁数を求めたものである。

【0049】

【表1】

10

20

30

試料 番号	Z	Y [%]	厚みX [ $\mu\text{m}$ ]	X・Y	室温抵抗値 [ $\Omega$ ]	計算値 [ $\Omega$ ]	計算値との比 [ $\Omega$ ]	サーミスタ特性 $\log(R_{250}/R_{25})$
* 1	0.0015	0.15	20	3	1.2	0.22	5.5	3.3桁
2	0.002	0.2	20	4	0.35	0.16	2.2	3.2桁
3	0.005	0.5	20	10	0.24	0.13	1.8	3.2桁
* 4	0.006	0.6	20	12	0.39	0.18	2.2	2.7桁
* 5	0.003	0.3	10	3	0.38	0.035	11	3.1桁
6	0.003	0.3	15	4.5	0.20	0.075	2.7	3.2桁
* 7	0.003	0.3	25	7.5	0.68	0.33	2.1	3.2桁
* 8	0.0024	0.24	25	6	0.86	0.38	2.3	3.2桁
9	0.003	0.3	20	6	0.22	0.096	2.3	3.2桁
10	0.004	0.4	15	6	0.18	0.085	2.1	3.2桁
11	0.006	0.6	10	6	0.12	0.043	2.8	3.1桁
12	0.012	1.2	5	6	0.025	0.011	2.3	3.0桁
* 13	0.020	2.0	3	6	0.011	0.004	2.8	2.2桁
* 14	0.002	0.2	30	6	0.87	0.38	2.3	3.3桁
15	0.002	0.2	20	4	0.35	0.16	2.2	3.2桁
* 16	0.002	0.2	15	3	0.36	0.10	3.6	3.1桁
* 17	0.002	0.2	10	2	0.30	0.042	7.1	3.1桁

10

20

30

40

50

【0050】

表1において、試料番号に\*を付したものは、この発明の範囲外のものである。

【0051】

表1において、室温抵抗値が0.5 $\Omega$ 以下であり、計算値との比が3.0より小さく、さらに、サーミスタ特性が3.0桁以上のものを、この発明の範囲内の試料としている。

【0052】

表1に示した結果から、いずれの試料であっても、室温抵抗値は計算値より高い値を示しているが、この発明の範囲内にある試料によれば、薄層化により、計算値により近い値をもって低抵抗化できることがわかる。

【0053】

また、試料14～17の間で比較すると、これらは区すなわちドナー量Yが互いに同じで

あるが、厚み $X$ については、試料14では $30\mu\text{m}$ 、試料15では $20\mu\text{m}$ 、試料16では $15\mu\text{m}$ 、試料17では $10\mu\text{m}$ というように、試料14～17の順序でより薄層化されている。このような場合において、試料15以降のように、厚み $X$ が $20\mu\text{m}$ 以下とされたとき、厚み $X$ がより薄くなるほど、計算値との比がより大きくなり、室温抵抗値が計算値からより大きくずれる傾向がある。

#### 【0054】

これに対して、試料9～12のように、区すなわちドナー量 $Y$ を増やしていくと、計算値との比を比較的 low 保ちながら、薄層化に伴い、順調に低抵抗化することが可能になる。

#### 【0055】

なお、厚み $X$ が $20\mu\text{m}$ を超えると、計算値との比を小さくすることができず、たとえば試料7、8および14のように、室温抵抗値自体が $0.5\Omega$ 以上となり、十分な低抵抗化が不可能であるという問題がある。また、厚み $X$ が $5\mu\text{m}$ 未満になると、 $X \cdot Y$ の値を $4 \leq X \cdot Y \leq 10$ の範囲内としても、たとえば試料13のように、良好なサーミスタ特性が得られなくなる。

#### 【0056】

以上説明した実験例の結果から、セラミック層の1層の厚み $X [\mu\text{m}]$ を $5 \leq X \leq 20$ としたとき、セラミック層を構成する $\text{BaTiO}_3$ 系半導体セラミックに含まれるドナー量 $Y [\%]$ が $4 \leq X \cdot Y \leq 10$ の条件を満たすようにすれば、セラミック層の薄層化に伴い確実に低抵抗化でき、しかも積層構造から計算される抵抗値に近い抵抗値を得ることができることがわかる。

#### 【0057】

したがって、上述のような条件は、積層型正特性サーミスタを設計する場合にも利用することができる。

#### 【0058】

すなわち、この設計方法において、セラミック層の厚み $X [\mu\text{m}]$ を $5 \leq X \leq 20$ の条件を満たす範囲で決定すれば、セラミック層を構成する $\text{BaTiO}_3$ 系半導体セラミックに含まれるドナー量 $Y [\%]$ をセラミック層の厚み $X$ に応じて $4 \leq X \cdot Y \leq 10$ の条件を満たすように決定すればよい。

#### 【0059】

#### 【発明の効果】

以上のように、この発明に係る積層型正特性サーミスタによれば、あるいはこの発明に係る設計方法に従って製造された積層型正特性サーミスタによれば、セラミック層の薄層化に伴い確実に低抵抗化でき、しかも積層構造から計算される抵抗値に近い抵抗値を得ることができる。

#### 【図面の簡単な説明】

【図1】この発明にとって興味ある積層型正特性サーミスタ1を示す断面図である。

#### 【符号の説明】

- 1 積層型正特性サーミスタ
- 2 セラミック層
- 3 内部電極
- 4 素子本体

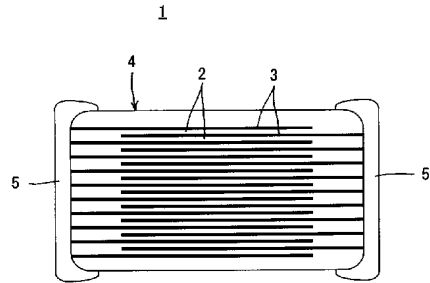
10

20

30

40

【図 1】



## 【手続補正書】

【提出日】平成 15 年 10 月 30 日 (2003. 10. 30)

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

正の抵抗温度特性を示すチタン酸バリウム系半導体セラミックからなりかつ複数の積層されたセラミック層と、前記セラミック層間の複数の界面にそれぞれ沿って形成されかつニッケルを含む内部電極との積層構造を有する素子本体を備えた、積層型正特性サーミスタの設計方法であって、

前記セラミック層の厚み  $X$  [ $\mu\text{m}$ ] を、 $5 \leq X \leq 20$  の条件を満たすように決定する工程と、

前記チタン酸バリウム系半導体セラミックに含まれるドナー量  $Y$  [%] ( $Y = (\text{ドナー原子数} / \text{Ti 原子数}) \times 100$ ) を前記セラミック層の厚み  $X$  に応じて  $4 \leq X \cdot Y \leq 10$  の条件を満たすように決定する工程と

を備える、積層型正特性サーミスタの設計方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

## 【発明の属する技術分野】

この発明は、積層型正特性サーミスタの設計方法に関するもので、特に、チタン酸バリウム系半導体セラミックを用いて構成される積層型正特性サーミスタの設計方法に関するものである。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

そこで、この発明の目的は、セラミック層の薄層化に伴い確実に低抵抗化でき、しかも積層構造から計算される抵抗値に近い抵抗値を得ることができ、積層型正特性サーミスタの設計方法を提供しようとするものである。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】削除

【補正の内容】

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】削除

【補正の内容】

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】削除

【補正の内容】

## 【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

この発明は、正の抵抗温度特性を示すチタン酸バリウム系半導体セラミックからなる複数の積層されたセラミック層と、セラミック層間の複数の界面にそれぞれ沿って形成されかつニッケルを含む内部電極との積層構造を有する素子本体を備えた、積層型正特性サーミスタの設計方法に向けられるものであって、上述した技術的課題を解決するため、次のような構成を備えることを特徴としている。

## 【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

【表1】

試料 番号	Z	Y [%]	厚みX [μm]	X・Y	室温抵抗値 [Ω]	計算値 [Ω]	計算値との比	サーミスタ特性 $\log(R_{250}/R_{25})$
* 1	0.0015	0.15	20	3	1.2	0.22	5.5	3.3桁
2	0.002	0.2	20	4	0.35	0.16	2.2	3.2桁
3	0.005	0.5	20	10	0.24	0.13	1.8	3.2桁
* 4	0.006	0.6	20	12	0.39	0.18	2.2	2.7桁
* 5	0.003	0.3	10	3	0.38	0.035	11	3.1桁
6	0.003	0.3	15	4.5	0.20	0.075	2.7	3.2桁
* 7	0.003	0.3	25	7.5	0.68	0.33	2.1	3.2桁
* 8	0.0024	0.24	25	6	0.86	0.38	2.3	3.2桁
9	0.003	0.3	20	6	0.22	0.096	2.3	3.2桁
10	0.004	0.4	15	6	0.18	0.085	2.1	3.2桁
11	0.006	0.6	10	6	0.12	0.043	2.8	3.1桁
12	0.012	1.2	5	6	0.025	0.011	2.3	3.0桁
* 13	0.020	2.0	3	6	0.011	0.004	2.8	2.2桁
* 14	0.002	0.2	30	6	0.87	0.38	2.3	3.3桁
15	0.002	0.2	20	4	0.35	0.16	2.2	3.2桁
* 16	0.002	0.2	15	3	0.36	0.10	3.6	3.1桁
* 17	0.002	0.2	10	2	0.30	0.042	7.1	3.1桁

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正の内容】

【0059】

【発明の効果】

以上のように、この発明に係る設計方法に従って製造された積層型正特性サーミスタによれば、セラミック層の薄層化に伴い確実に低抵抗化でき、しかも積層構造から計算される抵抗値に近い抵抗値を得ることができる。